



应用指南

ANC202403001

SGM48211

高压半桥栅极驱动芯片共性问题及应对方案

作者：向华、潘怡晨、成红玉

圣邦微电子（北京）股份有限公司

2024 年 3 月 25 日

商标

SGMICRO 是圣邦微电子（北京）股份有限公司的商标。本文档中的所有商标均为其各自所有者的财产。

© 2024 圣邦微电子（北京）股份有限公司 版权所有。

未经 SGMICRO 事先书面许可，任何单位或个人不得摘抄、复制或改编本文档的部分或全部内容，不得以任何形式传播。

欲了解更多关于 SGMICRO 的信息，请访问网站 www.sg-micro.com。

摘要

在一些低成本的应用中，为了取代隔离驱动，自举式电源成为一种广泛的给高压栅极驱动电路供电的方法。这种自举式电源具有电路简单、成本低的优点。高压半桥栅极驱动广泛应用于各种常见电路拓扑中，包括降压电路、同步升压电路、半桥电路、全桥电路和三相全桥电路等等。本应用指南以 SGM48211 为例，分析高压半桥栅极驱动芯片的共性问题，并给出应对措施。

目录

1 栅极驱动器简介	2
2 SGM48211 高压半桥栅极驱动芯片	2
2.1 主要优势	2
2.2 拓扑结构	3
2.3 工作原理	3
3 共性问题及应对方案	4
3.1 自举电容 C _{BOOT} 的选取	4
3.2 HS 引脚负压 di/dt 噪声	6
3.2.1 HS 引脚产生负压的原因	6
3.2.2 HS 引脚负压的影响	6
3.2.3 HS 引脚负压的应对方案	7
3.3 HS 引脚 dv/dt 噪声	8
3.3.1 HS 引脚产生 dv/dt 噪声的原因	8
3.3.2 HS 引脚 dv/dt 噪声的影响	9
3.3.3 HS 引脚 dv/dt 噪声的应对方案	9
4 附录	10
5 致谢	10
6 参考资料	10

1 栅极驱动器简介

栅极驱动器用于在低压控制信号和高功率半导体开关（如 MOSFET 和 IGBT）之间提供接口，如图 1 所示，输出必要的电压和电流值，以有效地开启和关断功率半导体器件。

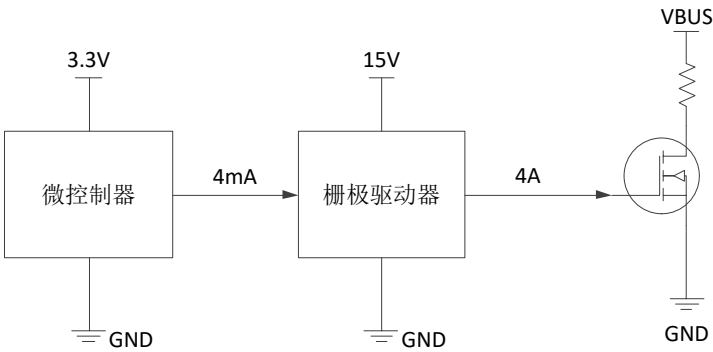


图 1 用栅极驱动器驱动功率晶体管

栅极驱动器具有信号放大、隔离、保护机制。信号放大功能将来自微控制器或其他控制电路的控制信号放大，为功率半导体器件提供所需的栅源电压（ V_{GS} ）。隔离功能确保控制电路和功率半导体之间的电气隔离，防止电压反馈或接地环路问题。保护功能包括过流和过压保护、短路保护和欠压锁定等，以保护栅极驱动器本身和所连接的半导体器件。此外，栅极驱动器还包含一种控制死区时间的功能，以避免直通电流。在半桥或全桥配置中，死区时间控制确保高侧和低侧开关不会同时打开，从而防止器件损坏。

2 SGM48211 高压半桥栅极驱动芯片

2.1 主要优势

圣邦微电子推出的 SGM48211 系列 120V 高压半桥栅极驱动产品，提供 4A 拉电流和 4A 灌电流输出能力；能够以最小的开关损耗驱动大功率 MOSFET；电源引脚 VDD 运行范围 8V 至 17V（绝对最大值 20V）；输入引脚耐压为-10V 至 20V；强鲁棒性；高侧、低侧两个通道完全独立，且彼此的导通和关断之间存在 2.5ns（典型值）延迟匹配；驱动器内部具备欠压锁定保护功能防止故障；HS 引脚抗负压能力强；HS 引脚抗 dv/dt 噪声能力强；内置自举二极管。该器件可应用于电信，数据通信，便携式存储的 48V 或更低电压系统中的电源转换器，半桥、全桥、推挽、同步降压，正激变换器和同步整流器等方面。

表 1 SGM48211 的主要优势

圣邦微 SGM48211 驱动芯片的主要优势		
HS 引脚耐压能力： DC: -1V~115V Repetitive Pulse<100ns: -(24V-VDD)~115V →高可靠性	HS 电压变化速率： 50V/ns (MAX) →高可靠性	驱动芯片内部集成了超快恢复自举二极管 →节省系统成本（减少 PCB 尺寸，器件数量）

2.2 拓扑结构

SGM48211 包含了耐高压的高边驱动电路和低边驱动电路，其中高边驱动电路包含高压电平转移电路和高压浮动驱动电路。其内部结构如图 2 所示，具体主要有以下几个组成部分：

- 1) 脉冲发生器：在输入信号的上升沿和下降沿产生脉冲信号；
- 2) 电平转移电路：将以 VSS 为参考的信号转换为以 HS 为参考的信号；
- 3) 缓冲器：放大输入信号；
- 4) 自举二极管：在下管 Q2 导通时对自举电容进行充电。通过电平转换电路，使相对于地(VSS)的 HI 信号转换为同步的相对于悬浮地 (HS) 的 HO 信号，从而控制上管 Q1 的开关；
- 5) 欠压锁定保护装置：在 VDD 电压低于 UVLO 阈值时不输出信号。

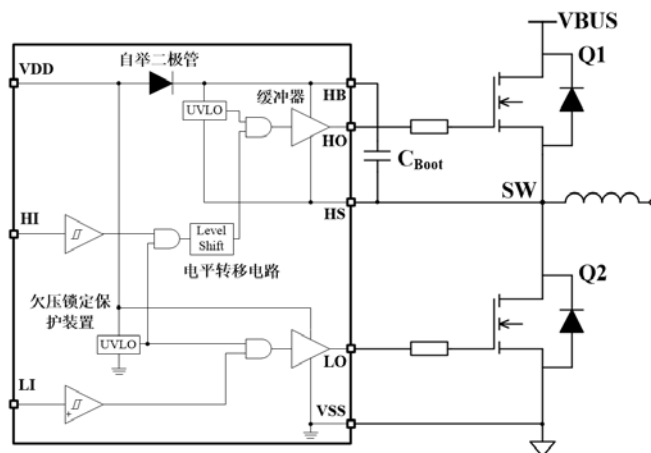


图 2 高压半桥栅极驱动芯片拓扑结构

2.3 工作原理

SGM48211 内部集成 120V 额定电压的自举二极管，可以帮助客户省却二极管电路设计并减小 PCB 尺寸。如图 3 所示，当上管 Q1 关断，下管 Q2 导通时，HS 引脚电压低于电源电压 VDD，VDD 通过自举二极管 D_{BOOT} 对自举电容 C_{BOOT} 进行充电，在自举电容两端产生 V_{BS} 电压；当下管 Q2 关断，上管 Q1 导通时，驱动芯片内部上管 MOS 导通，由自举电容两端悬浮电压 V_{BS} 支持 HO 相对 HS 的开关。随着上管 Q1 导通，HS 高压时自举二极管处于反偏， V_{BS} 和电源 VDD 被隔离开。

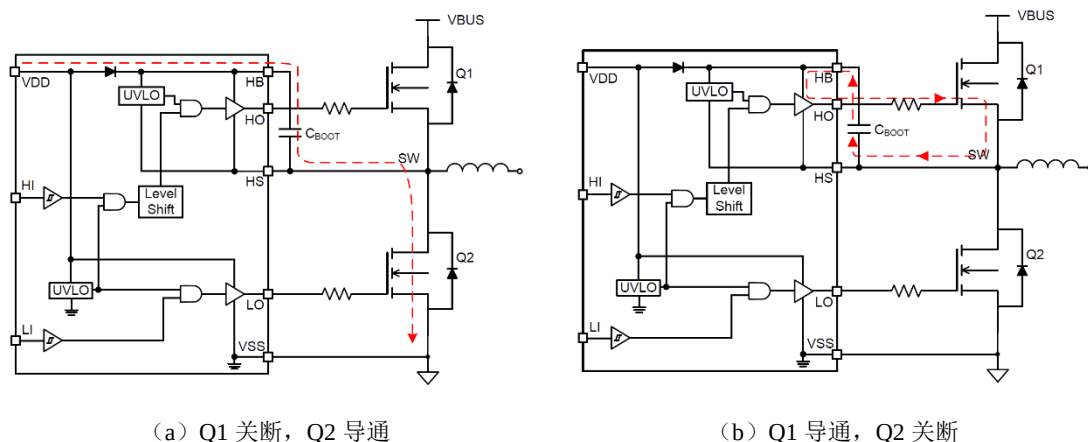


图 3 自举电路工作原理

3 共性问题及应对方案

接下来，以 SGM48211 为例，探讨一下在使用高压半桥栅极驱动产品过程中会遇到的各类问题及应对方案。

3.1 自举电容 C_{BOOT} 的选取

在电路设计之初，需要特别注意的是自举电容 C_{BOOT} 的选取，不能过小，亦不能过大。当下管 Q2 导通，HS 电压低于电源电压 V_{DD} ，自举电容 C_{BOOT} 会被充电。自举电容仅在上管 Q1 导通时放电，给高端电路提供电源 V_{BS} 。选取 C_{BOOT} ，首先要考虑的参数是上管 Q1 导通时，自举电容允许的最大电压降。如果 C_{BOOT} 容值选择过小，会出现如图 4 所示的现象，由于 C_{BOOT} 上存储的电荷不足， $V_{HB}-V_{HS}$ 的电压跌落至低于驱动芯片 HB 的 UVLO 阈值，从而触发驱动芯片欠压锁定保护，导致 HO 无输出，上管 Q1 无法导通。

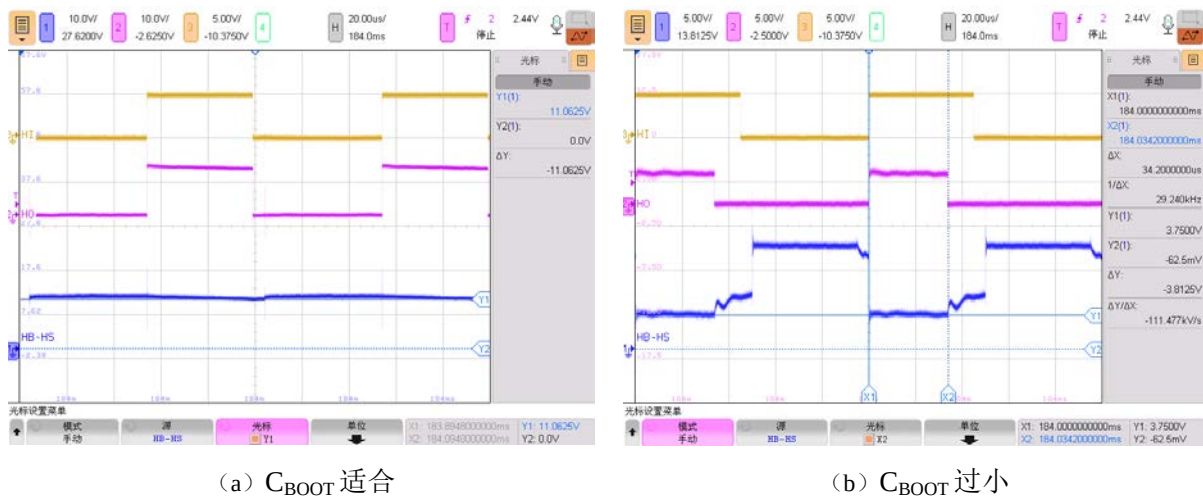


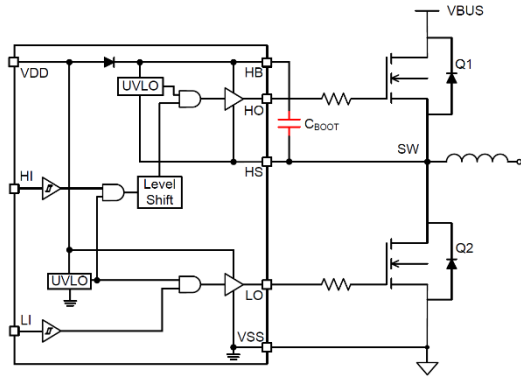
图 4 C_{BOOT} 容值选取的影响

根据驱动芯片 HB 的 UVLO 值，可由式 (1) 求得 C_{BOOT} 的最小值。

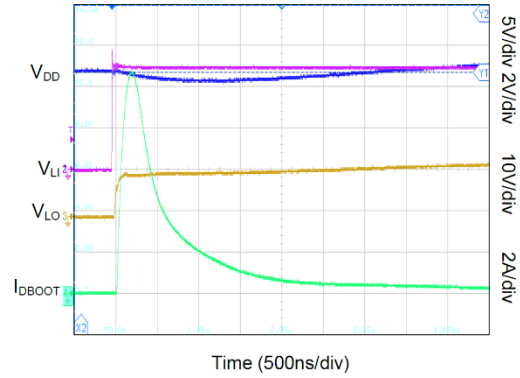
$$C_{BOOT} \geq \frac{Q_{TOTAL}}{\Delta V} = \frac{Q_G + (I_{BL} + I_{RGS})t_{ON} + I_{QBS}T}{V_{DD,MIN} - V_F - V_{HB,OFF}} \quad (1)$$

式中， Q_G 是功率管的栅极总电荷量； I_{BL} 是 HB 对地漏电流； I_{RGS} 是流入栅极-源极电阻器的电流； I_{QBS} 是 HB 至 HS 静态电流； t_{ON} 是上管 Q1 导通时间； V_F 是自举二极管 D_{BOOT} 的正向导通压降； $V_{HB,OFF}$ 是驱动芯片 V_{HB} 的下降 UVLO 阈值。

从式 (1) 可见，随着 Q_G 增大，自举电容 C_{BOOT} 的取值也需要增大， C_{BOOT} 增大会导致自举二极管瞬时充电电流增大。需要特别注意的是，由于自举二极管是集成在 SGM48211 的内部，集成的自举二极管的 Die 面积有限，散热能力有限。 C_{BOOT} 充电电流超出自举二极管散热能力时，可能会烧毁自举二极管。图 5 (b) 中所示为在 $V_{DD} = 12V$ 条件下对 SGM48211 内部自举二极管充电时的峰值电流波形： $C_{BOOT} = 680nF$ ， D_{BOOT} 峰值电流为 10.7A。



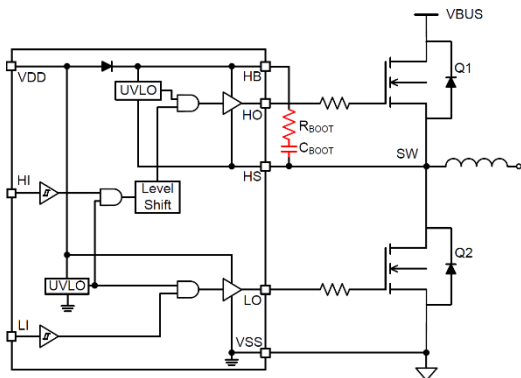
(a) 无串联自举电阻



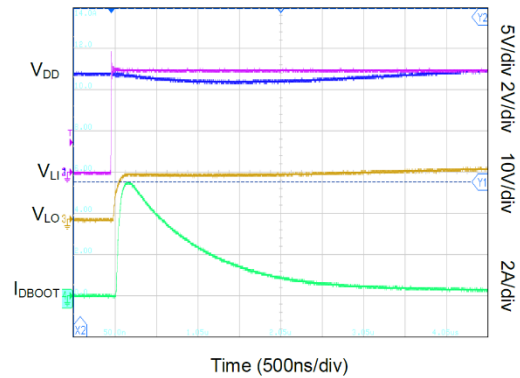
(b) 自举二极管充电电流

图 5 C_{BOOT} 无串联自举电阻时自举二极管充电电流波形

可见, C_{BOOT} 的容值如果选择过大, 会导致自举二极管存在损坏的风险。实际应用中, 由于功率管 Q_G 较大, C_{BOOT} 取值不得不大时 (如 $C_{BOOT} \geq 680\text{nF}$ 时), 为了保护 SGM48211 内部自举二极管, 可以选择在 C_{BOOT} 处串联一个自举电阻 R_{BOOT} (典型值 1Ω 至 10Ω) 来限制自举电容的充电电流, 如图 6 (a) 所示。如图 6 (b) 所示, 在 $V_{DD} = 12\text{V}$, $C_{BOOT} = 680\text{nF}$, $R_{BOOT} = 1\Omega$ 条件下对 SGM48211 内部自举二极管耐峰值电流能力进行测试, 结果与图 5(b)对比, I_{DBOOT} 峰值电流从 10.7A 降至 5.5A 。



(a) 串联自举电阻



(b) 自举二极管充电电流

图 6 C_{BOOT} 串联一个自举电阻 R_{BOOT} 时自举二极管充电电流波形

但是, 自举电阻不可过大, 否则会增加 V_{BS} 时间常数。下管 Q_2 的最低导通时间, 即给自举电容充电或刷新电荷的时间, 必须匹配这个时间常数。该时间常数取决于自举电阻, 自举电容和开关器件的占空比, 可由下式 (2) 求得。

$$\tau = \frac{R_{BOOT} \times C_{BOOT}}{D} \quad (2)$$

式中, R_{BOOT} 是自举电阻; C_{BOOT} 是自举电容; D 是占空比。

当 C_{BOOT} 串联自举电阻, 需要考虑自举电阻带来的一个额外的电压降:

$$V_{RBOOT} = \frac{Q_{CHARGE} \times R_{BOOT}}{t_{CHARGE}} \quad (3)$$

式中, Q_{CHARGE} 是自举电容充电总电荷; t_{CHARGE} 是自举电容充电时间, 即下管 Q_2 导通时间;

R_{BOOT} 是自举电阻。

3.2 HS 引脚负压 di/dt 噪声

3.2.1 HS 引脚产生负压的原因

由于实际电路中存在上下管功率器件的封装电感和电路板走线的寄生电感，上管 Q1 导通时，电流经过上管流过负载电感，如图 7 (a) 所示；上管 Q1 关断换流时，续流电流经过下管 Q2 的体二极管流过负载电感，该电流会在 L_{S1} 、 L_{S2} 等寄生电感上产生电压，从而导致 HS 引脚处产生低于地线电压的负压，如图 7 (b) 所示。该负电压的大小正比于寄生电感的大小和开关器件的电流关断速度 di/dt ，如式 (4) 所示，其中 di/dt 由栅极驱动电阻 R_G 和开关器件的输入电容 C_{ISS} 决定。

$$\begin{cases} V_{LP} = (L_{S1} + L_{S2}) \times \frac{di}{dt} \\ V_{HS} = -(V_{LP} + V_F) \end{cases} \quad (4)$$

式中， V_F 是下管 Q2 的体二极管正向导通压降。

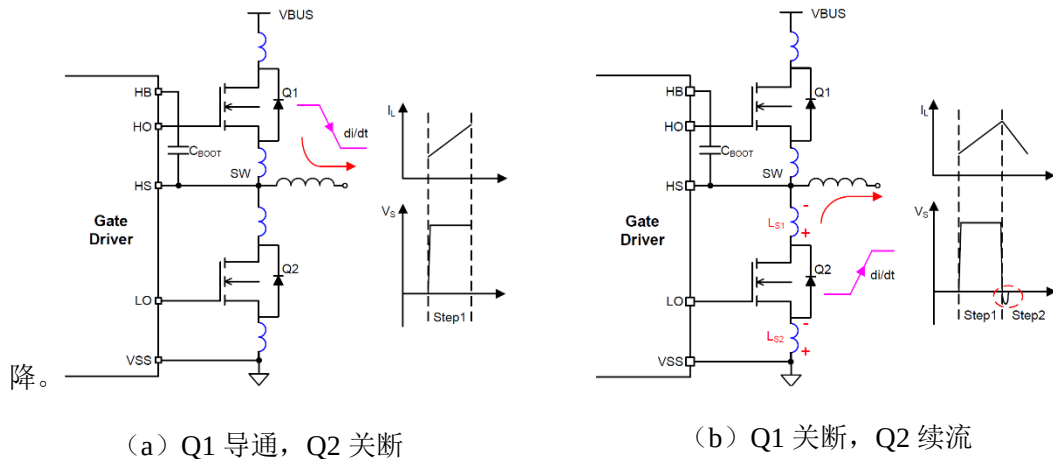


图 7 高压半桥栅极驱动芯片应用电路及波形

3.2.2 HS 引脚负压的影响

1) 触发 latch up 导致芯片输出逻辑异常

一般在半桥驱动芯片规格书中规定了最大的 HS 与 VSS 之间的负压和推荐的工作条件。由于芯片内部含有寄生的二极管及 latch up 机制，当 HS 负压过大时，会导致芯片损坏或逻辑异常。

2) HB-HS 过压导致芯片损坏

HB-HS 引脚两端最大电压 $V_{HB}-V_{HS}=V_{DD}-V_F-V_{HS}$ ，HS 引脚瞬间负压过大会导致 HB-HS 两端的电压超过最大耐压值，从而导致驱动芯片过压损坏。

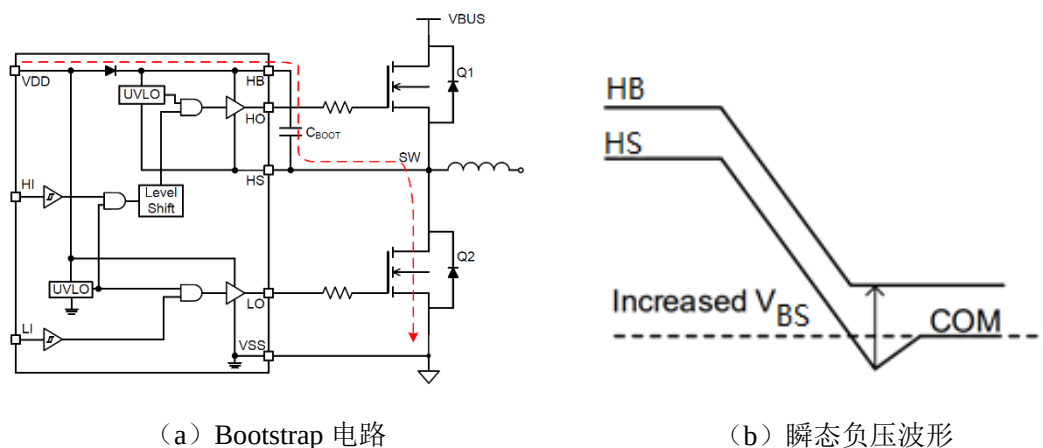


图 8 自举 (Bootstrap) 电路与 HB、HS 引脚瞬态负压波形

3.2.3 HS 引脚负压的应对方案

1) 优化布局，减少寄生电感

半桥电路的两个功率管尽可能靠近放置，它们之间连线尽可能短粗；驱动芯片尽量靠近功率管，减少驱动回路的走线；使用低寄生电感的驱动电阻；使用低寄生电感的瓷片电容作为自举电容 C_{BOOT} ，同时 C_{BOOT} 尽量靠近驱动芯片引脚；退耦电容尽量靠近驱动芯片引脚，如图 9 所示。

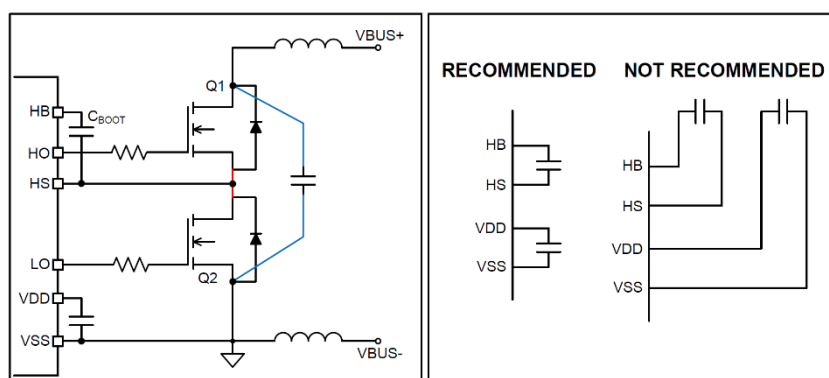


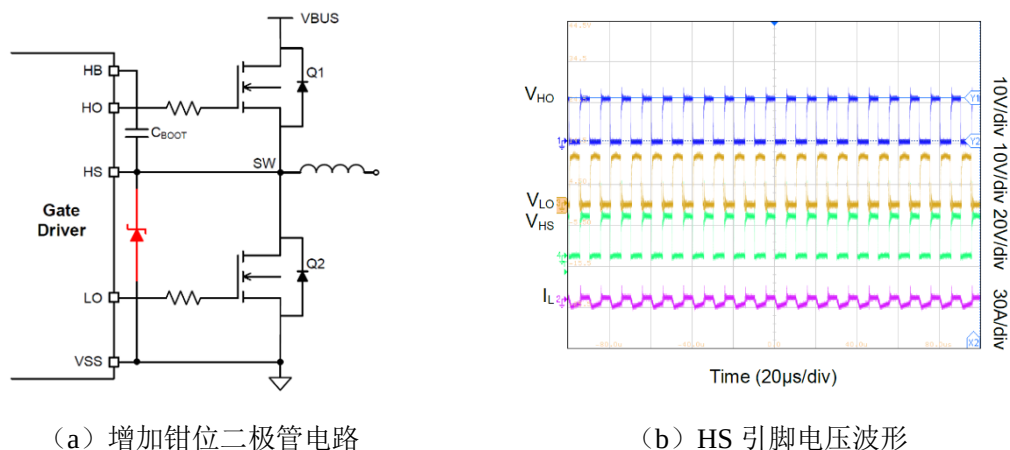
图 9 布局注意事项

2) 降低功率管的开关速度

增大驱动电阻（注意：这种方法会增加功率管开关损耗）或外加缓冲电路，降低功率管的开关速度，从而降低开关时的电流变化率 di/dt 。

3) 增加低正向导通压降的肖特基二极管

在 HS 和 VSS 之间增加一个低正向导通压降的肖特基二极管，能够快速将 HS 引脚负压钳位到 -0.7V 左右，如图 10 所示。



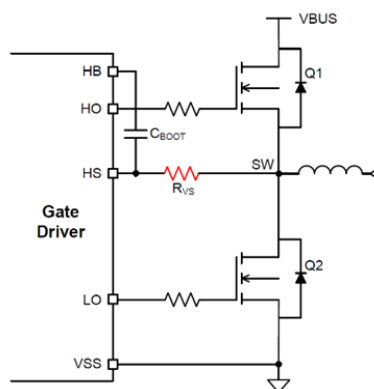
(a) 增加钳位二极管电路

(b) HS 引脚电压波形

图 10 增加钳位二极管电路及 HS 引脚电压波形

4) HS 与 SW 引脚之间串联电阻

在 HS 与 SW 间串联一个电阻 R_{VS} ，如图 11 所示，可以降低 SW 传递到 HS 引脚的负压值。 R_{VS} 作为驱动电阻起到限制上管 Q1 的开通速度和关断速度的作用，也可以作为自举电阻限制 C_{BOOT} 的充电电流，还限制了在上管 Q1 源极的电压负向瞬态时肖特基二极管的电流。

图 11 串联电阻 R_{VS} 电路

3.3 HS 引脚 dv/dt 噪声

3.3.1 HS 引脚产生 dv/dt 噪声的原因

当下管 Q2 关断，上管 Q1 导通时，电流经过上管流过负载电感及电容，此时 HS 引脚处产生的电压从 0V 升至 VBUS，即产生正向 dv/dt 噪声，如图 12 所示。

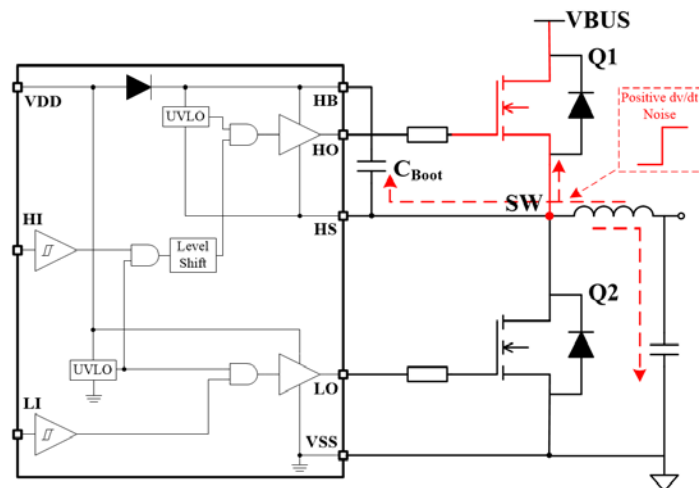


图 12 高压半桥栅极驱动芯片产生正向 dv/dt 噪声示意图

3.3.2 HS 引脚 dv/dt 噪声的影响

1) 高侧电路逻辑信号错误

由于 C_{Boot} ，HS 引脚的正向 dv/dt 噪声会耦合到 HB 点，可能会影响高侧电路的逻辑信号。

2) 低侧功率管 Q2 误导通

如图 13 所示，当上管 Q1 导通，下管 Q2 关断时， V_{DS_Q2} 从 0V 上升至 VBUS。此时，有电流 i_{gd_L} 流经寄生电容 C_{GD} 、驱动电阻和电感(蓝色虚线标记)，从而使得寄生电容 C_{GS} 两端产生电压差 V_{GS_Q2} ，出现正向电压尖峰，导致下管 Q2 误导通。

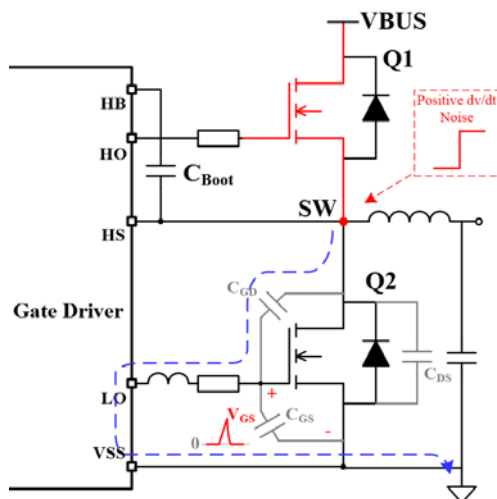


图 13 正向 dv/dt 噪声的影响

3.3.3 HS 引脚 dv/dt 噪声的应对方案

1) 减小寄生电感

布局需紧凑，并采用开尔文连接方式，确保两个功率晶体管之间的连接应尽量短而粗；采用具有低寄生电感的陶瓷电容器。

2) 改变功率管的开关速度

增大上管 Q1 的栅极电阻 R_{gate} ，降低上管 Q1 的开通和关断速度，从而降低 dv/dt。

3) 负电压关断

通过在下管 Q2 的栅极增加一个负压驱动电路, 使得 Q2 能够负电压关断, 即使产生寄生电压也不会超过 Q2 的开通阈值, 从而避免下管 Q2 误导通。负压驱动电路如图 14 所示。

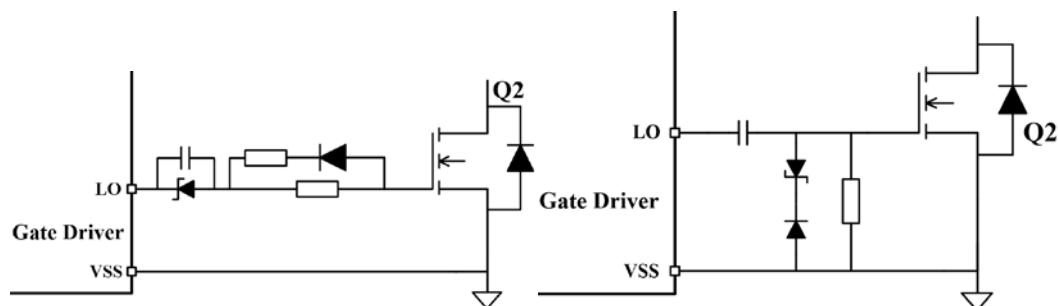


图 14 负压驱动电路

4 附录

表 1 圣邦微电子高压半桥栅极驱动芯片系列产品

料号	$V_{DD}, V_{HB}-V_{HS}$	V_{HS}	V_{HI}, V_{LI}	t_R/t_F	传播延迟时间	匹配时间	驱动峰值电流 (拉电流/灌电流)	封装
SGM48211	8V~17V	-1V~105V	-10V~20V	6.6ns/4.7ns	30.5ns	2.5ns	3.7A/4.6A	SOIC-8
								SOIC-8 (EP)
								TDFN-4×4-8AL
SGM48209	8V~17V	-1V~105V	-10V~20V	6ns/4.2ns	31ns	2.5ns	3.7A/4.5A	SOIC-8
								TDFN-4×4-8AL

5 致谢

感谢以下人员在本应用指南撰写过程中的巨大帮助和无私奉献:

试读: 修贵东。

6 参考资料

[1] SG Micro Corp. SGM48211 Datasheet [EB/OL]. (2024-01).

<https://www.sg-micro.com/uploads/soft/20240106/1704525865.pdf>.

[2] 高压栅极驱动 IC 自举电路的设计与应用指南 [EB/OL]. (2022-12-13).

https://mp.weixin.qq.com/s/P9zuyPt4zzcKwwl-dE_DTA.

修订记录

注意:历史版本的页码可能与当前版本的页码不同。

日期	版本	描述
2024-03-25	REV.A	首次发布

重要声明

SGMICRO 保留更改电路设计、产品规格和产品描述的权利，恕不另行通知。

本文档内容仅供参考。本文档中的所有陈述、信息和建议不构成任何承诺。对于本文档中可能出现的错误，以及因本文档提供的信息和使用本文档而造成的任何附带或间接损失，本公司不作任何明示或暗示的陈述和保证。

此文档未授予任何知识产权许可。除了 SGMICRO 在其产品的销售条款和条件中声明的责任外，本公司概不承担任何其他责任。

www.sg-micro.com

联系方式

圣邦微电子(北京)股份有限公司

地址：北京市海淀区西三环北路 87 号国际财经中心 D 座 1106 室

邮编：100089

电话：010-88825716/17

传真：010-88825736

深圳办事处

地址：深圳市南山区科技园高新南六道 6 号迈科龙大厦 15 楼

邮编：518063

电话：0755-26715323/26715619

传真：0755-26748460

上海办事处

地址：上海市徐汇区漕溪北路 88 号圣爱大厦 1706 室

邮编：200030

电话：021-64396434

传真：021-64396434-804

台湾办事处

地址：台北市信义区基隆路二段 7 号 5 楼之 2

邮编：11052

电话：886-2-27583383